

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-222739

(43)Date of publication of application : 30.08.1996

(51)Int.Cl. H01L 29/78  
H01L 21/336  
H01L 21/28  
H01L 21/316

(21)Application number : 07-049293

(71)Applicant : NEC CORP

(22)Date of filing : 15.02.1995

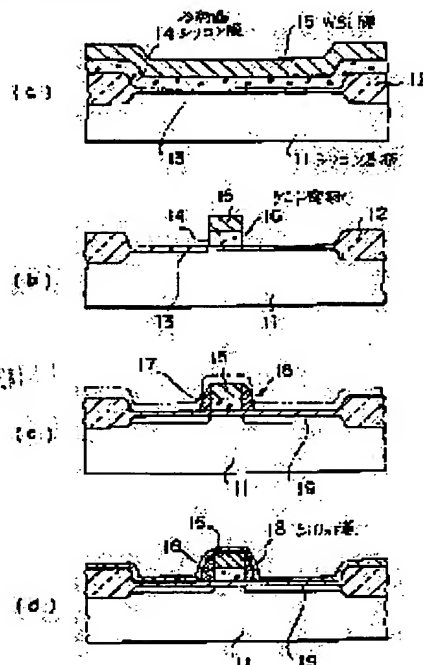
(72)Inventor : USAMI TATSUYA

## (54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To prevent formation of low quality oxide film due to abnormal oxidation when forming oxide film by a heat treatment step on the surface of a silicide layer.

**CONSTITUTION:** When a WSi layer (silicide layer) 15 is formed on a semiconductor substrate 11 to form an oxide film 18 on the surface of the WSi layer 15 by thermal oxidizing process, the oxygen contamination in a heat treatment furnace in the case of feeding semiconductor device in the furnace is checked later to be slowly oxidized at high temperature. Through these procedures, the rapid oxidation of the WSi layer can be checked by checking the oxygen contamination in the furnace, thereby checking the abnormal oxidation of the WSi layer. Furthermore, a high quality oxide film can be formed by forming the oxide film at high temperature.



## LEGAL STATUS

[Date of request for examination] 15.02.1995

[Date of sending the examiner's decision of rejection] 16.03.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3093600

[Date of registration] 28.07.2000

[Number of appeal against examiner's decision of rejection] 11-06248

[Date of requesting appeal against examiner's decision of rejection] 15.04.1999

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-222739

(43) 公開日 平成8年(1996)8月30日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 P
21/336			21/28	3 0 1 T
21/28	3 0 1		21/316	S
21/316				

審査請求 有 請求項の数 4 F D (全 5 頁)

(21) 出願番号 特願平7-49293

(22) 出願日 平成7年(1995)2月15日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 宇佐美 達矢

東京都港区芝五丁目7番1号 日本電気株  
式会社内

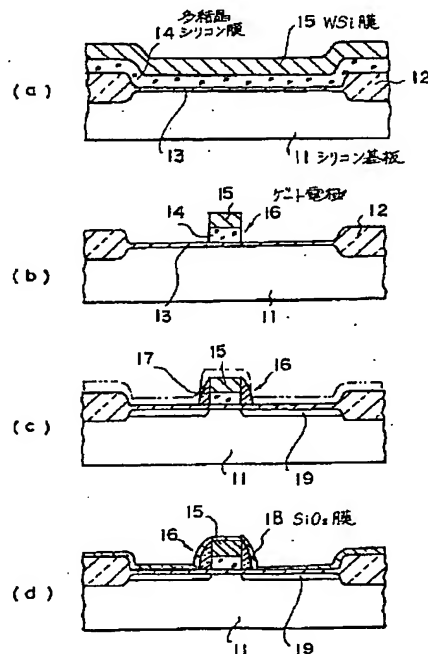
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【目的】 シリサイド層の表面に熱処理により酸化膜を形成する際に、その異常酸化による低品質の酸化膜が形成されることを防止する。

【構成】 半導体基板 11 上に W S i 層 (シリサイド層) 15 を形成し、その W S i 層 15 の表面に熱酸化処理により酸化膜 18 を形成するに際し、半導体基板を熱処理炉に入れる際に炉内の酸素混入を防止し、その後高温で緩やかな酸化処理を行う。炉内への酸素の混入を防ぐことで、W S i 層が急激に酸化されることが防止でき、W S i 層における異常酸化が防止される。また、その後に高温で酸化膜を形成することで、高品質の酸化膜の形成が可能となる。



## 【特許請求の範囲】

【請求項 1】 半導体基板上にシリサイド層を形成し、そのシリサイド層の表面に熱酸化処理により酸化膜を形成する工程を含む半導体装置の製造方法において、前記半導体基板を熱処理炉に入れる際に、炉内の酸素混入を防止し、その後高温で緩やかな酸化処理を行うことを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板を熱処理炉に入れる際に、炉内に窒素を充満させておく請求項 1 の半導体装置の製造方法。

【請求項 3】 シリサイド層がタングステンシリサイド層であり、その表面に熱処理によりシリコン酸化膜を形成する請求項 1 または 2 の半導体装置の製造方法。

【請求項 4】 半導体基板を熱処理炉に入れる際の温度を 500℃以下とし、その後 500℃以上の高温処理中で緩やかな酸化を行う請求項 3 の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は多結晶シリコンで構成される配線層にシリサイド層を形成して動作の高速化を図った半導体装置の製造方法に関する。

【0002】

【従来の技術】従来から半導体装置の配線層として多結晶シリコンを用いたものが提案され、かつその配線抵抗を低減して動作速度を高めるために配線層にシリサイド層を形成したものが提案されている。例えば、図 3 はその一例を製造工程順に示す図である。先ず、図 3 (a) に示すように、シリコン基板 21 を酸化して素子分離酸化膜 22 とゲート酸化膜 23 を形成し、その上に CVD 法により 100nm ～ 200nm 程度の多結晶シリコン膜 24 を堆積し、さらにスパッタ法により 100nm ～ 300nm 程度の WSi 膜 (タングステンシリサイド膜) 25 を形成する。

【0003】次いで、フォトリソグラフィ法により、これらの WSi 膜 25 と多結晶シリコン膜 24 をパターンニングし、図 3 (b) に示すようにゲート電極 26 を形成する。その後、ゲート電極 26 をマスクとして不純物のイオン注入を行って低濃度の浅いソース・ドレイン拡散層 29 を形成する。この後、不純物活性化を含め LDD 構造を形成するために約 800℃の高温減圧 CVD 法により鎖線で示すように SiO<sub>2</sub> 膜 27 を約 200nm 程度堆積し、これを反応性イオンエッチングによってエッチングして図 3 (c) に示すようにゲート電極 26 の側面に SiO<sub>2</sub> 膜 27 を残して側壁を形成する。

【0004】この側壁 27 を形成することにより、WSi 膜 25 の上面が露出されるため、その後のイオン注入の際のマスクとして、全面に約 800℃の高温減圧 CVD 膜 28 を 20nm 程度成長する。しかしながら、この WSi 膜 25 の熱処理工程で大気中の酸素の巻き込みがあ

ると、WSi 膜 25 が深く酸化され、図 3 (d) に示すように WSi 膜 25 の上面に異常酸化膜 28A が形成される。この異常酸化膜 28A は SiO<sub>2</sub> と WO<sub>3</sub> からなるものと考えられ体積膨張は約 2.7 倍に達し、この異常酸化膜 28A によってゲート電極 26 の抵抗は大幅に増大し、またしばしば膜が剥がれるといった問題が生じる。

【0005】この異常酸化膜が形成される原因について検討すると、この WSi 膜 25 の異常酸化は図 3 (b) 後の酸化膜 27 の形成工程では生じていないことから、WSi が結晶化されていることが前提となっている。この異常酸化に対して特開平 4-266031 号公報に記載されている説明では、この現象は WSi<sub>x</sub> 膜がアモルファス状態では酸素混入雰囲気中に晒したときに WSi<sub>x</sub> 中の Si が主として酸化されて酸化膜 (SiO<sub>2</sub>) が形成され、これが表面を覆ってその後の酸化が抑えられる。これに対して、WSi<sub>x</sub> 膜が結晶化されて WSi<sub>2</sub> 結晶粒が表面を覆っていると酸素混入雰囲気中に晒したとき酸化による Si の消費に対して Si の供給が不十分となり W が直接酸化される事態になるものと思われる。

【0006】このため、前記公報では、1 度目の熱処理により、金属シリサイドが結晶化した後に、酸素混入の熱処理に先立って露出している金属シリサイド膜表面を再度シリコン膜で覆い、その後に酸化熱処理してシリコン膜を酸化膜に変換することで金属シリサイド膜の異常酸化を防止するようにしている。

【0007】また、他の対策として、特開平 2-74031 号公報では、シリサイドが結晶化した後、露出シリサイド表面を 500℃以下で処理して酸化膜を被膜を形成している。このため、低温での処理のため、結晶化された WSi<sub>2</sub> 表面が酸化されることがなく、WSi の酸化が防止される。

【0008】

【発明が解決しようとする課題】しかしながら、これら公報に記載の対策では、1 度目の熱処理によってシリサイドが結晶化された後の熱処理前にシリコン膜で表面を被覆するという、特開平 4-266031 号公報の対策では、シリコン膜を形成した後の酸化処理の工程数が余分にかかり、工程数が増えるという問題がある。

【0009】また、500℃以下で SiO<sub>2</sub> を堆積するという、特開平 2-74031 号公報の対策では、膜中不純物の増加や薄膜の均一性の悪化等の膜品質の低下により特性の不安定を招き、またイオン注入の拡散のための熱処理工程と異常酸化防止用の膜を堆積する工程が 2 工程かかり、工程数が増えるという問題が生じる。

【0010】

【発明の目的】本発明は、製造工程を増やすことなく、しかも特性の安定化を図る一方で、シリサイド層の異常酸化を防止することを可能にした半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明の製造方法は、半導体基板上にシリサイド層を形成し、そのシリサイド層の表面に熱酸化処理により酸化膜を形成するに際し、半導体基板を熱処理炉に入れる際に炉内の酸素混入を防止し、その後高温で緩やかな酸化処理を行うことを特徴とする。

【0012】例えば、半導体基板を熱処理炉に入れる際に、炉内に窒素を充満させておき、炉内への酸素の混入を防止する。また、シリサイド層がタングステンシリサイド層であり、その表面に熱処理によりシリコン酸化膜を形成する場合には、半導体基板を熱処理炉に入れる際の温度を500℃以下とし、その後500℃以上の高温処理中で緩やかな酸化を行うことが好ましい。

【0013】

【作用】シリサイド層上に酸化膜を成長する際に、炉内への酸素の混入を防ぐことで、シリサイド層が急激に酸化されることが防止でき、シリサイド層における異常酸化が防止される。また、その後に高温で酸化膜を形成することで、高品質の酸化膜の形成が可能となる。

【0014】

【実施例】次に、本発明について図面を参照して説明する。図1は本発明をMOS型半導体装置に適用した一実施例を製造工程順に示す断面図である。まず、図1

(a)に示すように、シリコン基板11の表面に酸化処理を施し、SiO<sub>2</sub>膜（シリコン酸化膜）からなる素子分離酸化膜12とゲート酸化膜13を形成する。そして、その上にCVD法によって100nm～200nm程度の厚さの多結晶シリコン膜14を堆積し、続いてスパッタ法によって100nm～300nm程度のWSi膜（タングステンシリサイド膜）15を形成する。

【0015】次いで、図1(b)のように、フォトリソストを用いたフォトリソグラフィ法により、これらのWSi膜15と多結晶シリコン膜14をパターンニングし、ゲート電極16及び図外の配線を形成する。その後、ゲート電極をマスクとして不純物のイオン注入を行って低濃度の浅いソース・ドレイン拡散層19を形成する。

【0016】その後、図1(c)に鎖線で示すように、不純物活性化を含め、LDD構造を形成するために約800℃の高温減圧CVD法によりSiO<sub>2</sub>膜（シリコン酸化膜）17を約200nm程度堆積し、続いてこれを反応性イオンエッチングによってエッチングすることでゲート電極側面にSiO<sub>2</sub>膜17を残し、側壁とする。このエッチングによりWSi膜15の上面は露出される。

【0017】しかる後、図1(d)のように、全面に約800℃の高温減圧CVD法によりSiO<sub>2</sub>膜18を20nm程度成長する。このSiO<sub>2</sub>膜18は、後工程でのLDD構造を形成する際のイオン注入に際して、ゲート電極をマスクするためのものである。このとき、入炉

時に炉内と炉下にN<sub>2</sub>を充満させ、大気の酸素混入を遮断して急激な酸化を防ぐようにする。これにより、高温熱処理によって形成される良質の薄い酸化膜によってWSi膜の表面が覆われることになり、この場合、WSi膜15の異常酸化が生じることなくSiO<sub>2</sub>膜18が成長できる。

【0018】ここで、本発明においては、図2に示すように、前記したイオン注入のマスク用の高温減圧CVD酸化膜の入炉時に500℃以下で入炉を行い、炉内を真空引きし、かつ炉内をN<sub>2</sub>で充満状態にした後、約800℃に温度を上げCVD膜を成長させると、WSi膜15の異常酸化を防止できる。この理由は、500℃以下で入炉すると、入炉時の急激な酸化を防いで、その後N<sub>2</sub>中での800℃熱処理でWSi膜15上に薄い酸化膜を形成でき、その後の酸化膜成長を行ってもWSi膜15上の薄い酸化膜によりWSi膜15の異常酸化が防止できる。

【0019】因みに、本発明の製造方法により形成した酸化膜と、前記した特開平2-74031号公報のように500℃以下で成長した酸化膜とを比較した場合、公報記載の技術では20nm以下の膜厚均一性(R/2X)が5～10%であったのに対し、本発明方法では高温減圧CVD酸化膜を使用しているために1～6%程度と膜厚均一性の向上が図れ、さらにはトランジスタの特性安定を得ることが可能とされた。

【0020】ここで、前記実施例では本発明のシリサイド層としてWSiの場合を例として説明しているが、Mo（モリブデン）、Ti（チタン）等の金属を用いたシリサイド層においても同様に本発明を適用することができる。ただし、この場合は使用する金属の種類によって前記した温度を多少相違させることが必要となることもある。

【0021】

【発明の効果】以上説明したように本発明は、シリサイド層の表面に熱酸化処理により酸化膜を形成するに際し、半導体基板を熱処理炉に入れる際に炉内の酸素混入を防止し、その後高温で緩やかな酸化処理を行うので、シリサイド層における急激な酸化を防止して異常酸化を防止でき、かつ一方では高温の酸化により高品質の酸化膜を形成することができる。

【0022】例えば、半導体基板を熱処理炉に入れる際に、炉内に窒素を充満させておくことで、炉内への酸素の混入を防止することができる。また、シリサイド層がタングステンシリサイド層の場合には、半導体基板を熱処理炉に入れる際の温度を500℃以下とし、その後500℃以上の高温、例えば800℃の処理中で緩やかな酸化を行うことで、シリサイド層の異常酸化を防ぎ、高品質の酸化膜が形成される。

【0023】また、本発明の方法では、特開平4-266031号公報の技術に比較して、シリコン膜の形成や

5

その後の酸化工程が削減でき、製造工程が簡略化できる。また、特開平2-74031号公報の技術に比較して、高温での酸化膜成長を行うことができ、膜厚均一性が向上され、高品質化が可能となる。また、不純物の活性化のための高温熱処理と酸化膜成長を1工程で行うことができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を製造工程順に示す断面図である。

【図2】本発明における工程の一部の温度管理の状態を\*10

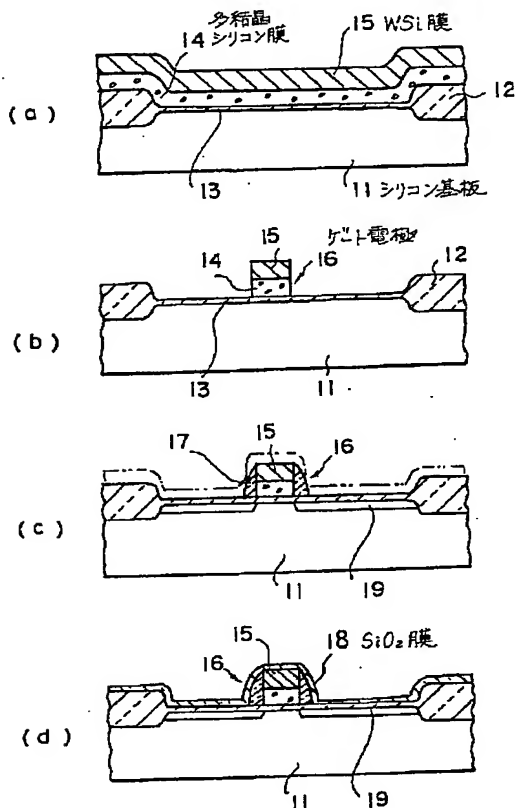
\*説明するための図である。

【図3】従来の製造方法の一例を工程順に示す断面図である。

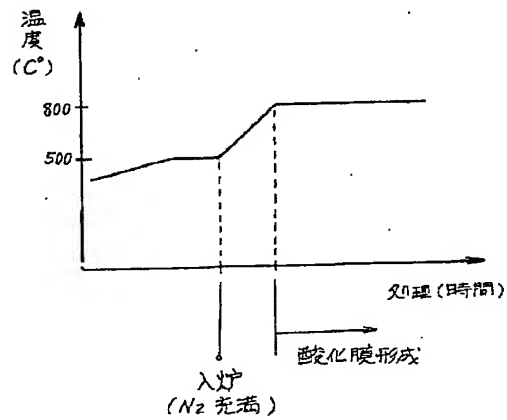
【符号の説明】

- 11 シリコン基板
- 14 多結晶シリコン膜
- 15 WSi膜
- 16 ゲート電極
- 17 SiO<sub>2</sub>膜
- 18 SiO<sub>2</sub>膜

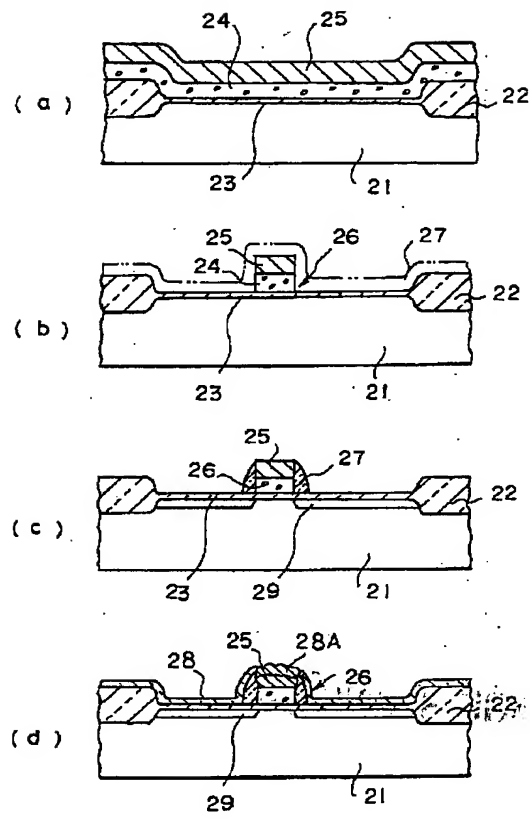
【図1】



【図2】



【図3】



**THIS PAGE BLANK (USPTO)**